



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0026222

(51)⁷ G06F 13/00

(13) B

(21) 1-2017-02183

(22) 09/06/2017

(45) 25/11/2020 392

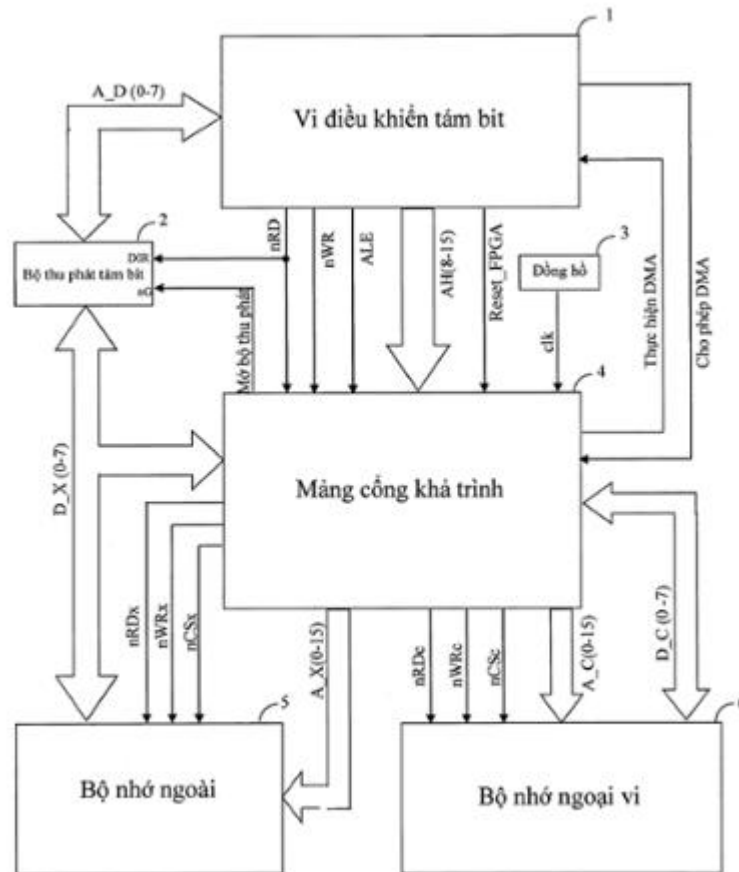
(43) 25/12/2018 369A

(73) Trường Đại học Bách Khoa - Đại Học Quốc Gia thành phố Hồ Chí Minh (VN)
268 Lý Thường Kiệt, phường 14, quận 10, thành phố Hồ Chí Minh

(72) NGUYỄN QUỐC TUẤN (VN).

(54) PHƯƠNG PHÁP ĐIỀU KHIỂN ĐỌC, GHI TRỰC TIẾP BỘ NHỚ NGOÀI CỦA VI ĐIỀU KHIỂN TÁM BIT BẰNG MẢNG CÔNG KHẢ TRÌNH

(57) Sáng chế đề cập đến phương pháp điều khiển đọc, ghi trực tiếp bộ nhớ ngoài của vi điều khiển tám bit bằng mảng công khả trình, trong đó vi điều khiển tám bit cho phép mảng công khả trình có thể đọc bộ nhớ ngoài, ghi vào bộ nhớ ngoài vi hay ghi vào bộ nhớ ngoài từ bộ nhớ ngoài vi bằng cách chiếm tuyến địa chỉ tuyến dữ liệu và các tín hiệu điều khiển bộ nhớ ngoài để đọc sáu mươi bốn Kbyte bộ nhớ ngoài, ghi vào bộ nhớ ngoài vi hay ghi sáu mươi bốn Kbyte bộ nhớ ngoài từ bộ nhớ ngoài vi.



Lĩnh vực kỹ thuật được đề cập

Sáng chế thuộc lĩnh vực điện tử-tin học đề cập đến phương pháp điều khiển đọc, ghi trực tiếp bộ nhớ ngoài của vi điều khiển tám bit. Cụ thể hơn, sáng chế đề cập đến phương pháp điều khiển đọc, ghi trực tiếp bộ nhớ ngoài của vi điều khiển tám bit bằng mảng công khả trình, trong đó vi điều khiển tám bit là loại không có chức năng truy cập trực tiếp bộ nhớ (DMA – Direct Memory Access) ngoài.

Tình trạng kỹ thuật của sáng chế

Nhiều ứng dụng thực tế rất cần thông tin từ bộ nhớ của vi điều khiển. Đặc biệt với các vi điều khiển tám bit thông dụng trên thị trường, giá thành rẻ, giao tiếp với thiết bị ngoại vi chỉ dùng hai phương pháp hỏi vòng (polling) và ngắt quãng (interrupt) và không có chức năng ngoại vi truy cập trực tiếp bộ nhớ ngoài.

Đã biết thông tin về sáng chế “Generic DMA IP core interface for FPGA platform design” được cấp bằng sáng chế Mỹ số US 7536669 B1. Sáng chế này đề cập tới hệ thống truy cập trực tiếp bộ nhớ đôi ngẫu (Dual port RAM), cung cấp giao tiếp đơn giản giữa bộ xử lý có tập lệnh đơn giản (RISC) và lõi logic (IP core) trong mảng công khả trình (FPGA). Sáng chế này sử dụng mạch giải mã để phát hiện các tín hiệu thay đổi tạo ra sự kiện báo cho bộ xử lý có tập lệnh đơn giản và lõi logic truy cập bộ nhớ. Phương pháp được đề cập thực hiện trên bộ xử lý có tập lệnh đơn giản, bộ nhớ đôi ngẫu và dùng mạch giải mã để phát hiện sự kiện.

Phương pháp được đề cập không thực hiện đọc, ghi trực tiếp bộ nhớ cho vi điều khiển tám bit kết nối với bộ nhớ chỉ cho phép một truy cập tại một thời điểm (single-ported RAM). Ngoài ra, phương pháp không dùng chức năng chủ, tớ trong giao tiếp để đọc, ghi trực tiếp bộ nhớ ngoài của vi điều khiển tám bit.

Ở Việt Nam chưa có bất kỳ kết quả nghiên cứu nào được đăng ký bảo hộ tương tự.

Bản chất kỹ thuật của sáng chế

Sáng chế được tạo ra nhằm giải quyết vấn đề kỹ thuật nêu trên và mục đích của sáng chế là đề xuất phương pháp điều khiển đọc, ghi trực tiếp bộ nhớ ngoài của vi điều khiển tám bit, dùng cho vi điều khiển tám bit có tổ chức bộ nhớ ngoài và không có chức năng truy cập trực tiếp từ thiết bị ngoại vi. Bộ nhớ ngoài là bộ nhớ được kết nối với vi điều khiển qua tuyến địa chỉ, tuyến dữ liệu, và các tín hiệu chọn, đọc, ghi bộ nhớ. Vi điều khiển có thể truy cập ngẫu nhiên bất cứ ô nhớ nào trong không gian vật lý xác định bởi tuyến địa chỉ. Phương pháp theo sáng chế được thực hiện theo nguyên tắc: vi điều khiển tám bit là chủ và mảng công khả trình là tớ. Vi điều khiển tám bit cho phép mảng công khả trình thực hiện đọc, ghi trực tiếp bộ nhớ ngoài trong khi vẫn có thể chạy các chương trình đáp ứng ngắt khác. Bộ nhớ ngoài là bộ nhớ tĩnh (SRAM-Static Random Access Memory) có tuyến dữ liệu tám bit hai chiều, tuyến địa chỉ mười sáu bit, các tín hiệu điều khiển chọn, đọc, ghi bộ nhớ. Mảng công khả trình là FPGA (Filed-Programmable Gate Array) có nhiều chân, có thể lập trình xuất hay nhập, được lập trình phần cứng để điều khiển thao tác đọc, ghi bộ nhớ ngoài của vi điều khiển.

Theo một khía cạnh của sáng chế, phương pháp theo sáng chế dựa trên kết nối vi điều khiển tám bit với bộ thu phát tám bit qua tuyến địa chỉ_dữ liệu (A_D - Address_Data bus) được điều khiển chiều chuyển dữ liệu bởi tín hiệu đọc bộ nhớ ngoài (nRD - not READ). Một đầu của bộ thu phát tám bit là tuyến dữ liệu bộ nhớ ngoài (D_X – Data External SRAM bus) nối với tám chân của mảng công khả trình và tám bit dữ liệu của bộ nhớ ngoài. Vi điều khiển xuất tám bit tuyến địa chỉ cao (AH – Address High), ba tín hiệu điều khiển đọc (nRD), ghi (nWR – not WRITE) bộ nhớ ngoài, cài địa chỉ thấp (ALE – Address Latch Enable), tín hiệu khởi động lại reset_FPGA và tín hiệu cho phép DMA tới mảng công khả trình. Mảng công khả trình phát tín hiệu mở bộ thu phát để đóng mở bộ thu phát tám bit và xuất trở lại vi điều khiển tín hiệu thực hiện DMA. Mảng công khả trình tạo ra ba tín hiệu điều khiển đọc (nRDx – not READ external SRAM), ghi (nWRx – not WRITE external SRAM), chọn chip (nCSx – not CHIP SELECT external SRAM) và mười sáu bit địa chỉ trên tuyến địa chỉ (A_X – Address External SRAM bus) tới bộ nhớ ngoài. Mảng công khả trình cũng phát ba bit điều khiển đọc (nRDc – not READ catch SRAM), ghi (nWRc – not WRITE catch SRAM), chọn chip

(nCSc – not CHIP SELECT catch SRAM), mười sáu bit địa chỉ trên tuyến địa chỉ (A_C – Address Catch SRAM bus) tới bộ nhớ ngoại vi. Bộ nhớ ngoại vi là bộ nhớ của thiết bị bên ngoài chứa dữ liệu tạm trước khi ghi vào bộ nhớ ngoài của vi điều khiển hay là nơi chứa dữ liệu cho thiết bị ngoại vi khi đọc được từ bộ nhớ ngoài. Tuyến dữ liệu hai chiều (D_C – Data catch SRAM bus) kết nối dữ liệu của bộ nhớ ngoại vi với mảng công khả trình.

Theo một khía cạnh khác của sáng chế, phương pháp theo sáng chế đưa ra hai chế độ: chế độ hoạt động bình thường là vi điều khiển tám bit có thể đọc, ghi bộ nhớ ngoài, mảng công khả trình đọc, ghi bộ nhớ ngoại vi. Chế độ đọc, ghi trực tiếp bộ nhớ ngoài là mảng công khả trình đọc/ghi bộ nhớ ngoài và ghi/đọc bộ nhớ ngoại vi.

Cũng theo khía cạnh này, ở chế độ bình thường vi điều khiển tám bit phát cho phép DMA mức cao qua mạch đảo làm tín hiệu mở bộ thu phát xuống mức thấp, bộ thu phát tám bit được mở và vi điều khiển có thể đọc, ghi dữ liệu từ bộ nhớ ngoài. Quy trình đọc bộ nhớ ngoại vi trong mảng công khả trình được chia thành sáu nhịp. Nhịp một phát địa chỉ A_C, tín hiệu chọn chip nCSc và tín hiệu đọc bộ nhớ ngoại vi nRDc. Nhịp hai đọc dữ liệu bộ nhớ ngoại vi trên D_C. Nhịp ba đưa dữ liệu vào bộ đệm. Nhịp bốn không làm gì. Nhịp năm giảm bộ đệm địa chỉ A_C tạm đi một. Nhịp sáu kiểm tra xem đến địa chỉ đầu chưa. Nếu sai quay về nhịp một. Nếu đúng thì kiểm tra có cho phép truy cập trực tiếp bộ nhớ ngoài không. Nếu có thì chuyển sang chế độ đọc, ghi trực tiếp bộ nhớ ngoài. Nếu không quay lại đọc bộ nhớ ngoại vi từ địa chỉ cuối.

Theo một khía cạnh khác của sáng chế, trước khi mảng công khả trình đọc, ghi trực tiếp bộ nhớ ngoài, vi điều khiển tám bit phải phát tín hiệu cho phép DMA mức thấp, mảng công khả trình phát tín hiệu thực hiện DMA để trả lời và bắt đầu thực hiện đọc/ghi bộ nhớ ngoài. Vi điều khiển tám bit chờ truy cập hoàn thành và trở về thiết lập lại trạng thái ban đầu.

Cũng theo khía cạnh này, ở chế độ đọc, ghi trực tiếp bộ nhớ ngoài, vi điều khiển tám bit phát cho phép DMA mức thấp qua mạch đảo làm tín hiệu mở bộ thu phát lên mức cao khóa bộ thu phát tám bit. Mảng công khả trình chiếm tuyến địa chỉ, tuyến dữ liệu của bộ nhớ ngoài, phát tín hiệu điều khiển chọn chip nhớ nCSx, tín hiệu đọc nRDx, ghi nWRx bộ nhớ ngoài để đọc hay ghi trực tiếp bộ nhớ ngoài và ghi hay đọc bộ nhớ ngoại vi

thông qua điều khiển các tín hiệu nCSc, nRDc, nWRc, tuyến địa chỉ A_C và tuyến dữ liệu D_C.

Cũng theo khía cạnh này, chế độ đọc, ghi trực tiếp bộ nhớ ngoài được chia thành sáu nhịp. Nhịp một phát các địa chỉ A_X/A_C, tín hiệu chọn chip nCSx/nCSc và tín hiệu đọc bộ nhớ nRDx/nRDc. Nhịp hai phát địa chỉ A_C/A_X và đọc dữ liệu bộ nhớ trên D_X/D_C. Nhịp ba đưa dữ liệu tới D_C/D_X. Nhịp bốn giảm bộ đệm địa chỉ bộ nhớ ngoài và bộ nhớ ngoài vi đi một. Nhịp năm phát tín hiệu ghi bộ nhớ nWRc/nWRx mức không. Nhịp sáu phát nWRc/nWRx mức một, kiểm tra xem đến địa chỉ đầu chưa. Nếu sai quay về nhịp một. Nếu đúng thì chuyển sang chế độ bình thường.

Mô tả vắn tắt hình vẽ

Hình 1 là sơ đồ khối tổng quát của hệ thống.

Hình 2 là sơ đồ khối chi tiết chức năng của hệ thống.

Hình 3 là quy trình xử lý dữ liệu trong khối đọc/ghi bộ nhớ ở chế độ bình thường.

Hình 4 là quy trình xử lý dữ liệu trong vi điều khiển tám bit để cho phép mảng công khả trình đọc/ghi bộ nhớ ngoài.

Hình 5 là quy trình xử lý dữ liệu trong khối điều Khiển DMA để mảng công khả trình đọc/ghi bộ nhớ ngoài.

Hình 6 là quy trình xử lý dữ liệu trong khối đọc, ghi bộ nhớ ở chế độ đọc, ghi trực tiếp bộ nhớ ngoài.

Mô tả chi tiết sáng chế

Theo hình 1, các khối vi điều khiển tám bit 1, bộ thu phát tám bit 2, đồng hồ 3, mảng công khả trình 4, bộ nhớ ngoài 5 và bộ nhớ ngoài vi 6 kết nối với nhau như sau:

Tuyến A_D(0-7) : tám bit ghép kênh giữa địa chỉ thấp và dữ liệu.

Tuyến AH(8-15) : tám bit địa chỉ cao.

Các tín hiệu điều khiển từ vi điều khiển tám bit 1: đọc nRD, ghi nWR, cài địa chỉ thấp ALE. Tín hiệu nRD xác định chiều chuyển dữ liệu của bộ thu phát tám bit 2.

Tín hiệu thiết lập ban đầu Reset_FPGA và xung đồng hồ clk tới mảng công khả trình 4.

Tín hiệu bắt tay vi điều khiển tám bit 1 với mảng cổng khả trình 4: cho phép DMA, thực hiện DMA.

Tuyến địa chỉ A_X(0-15), dữ liệu D_X(0-7) và các tín hiệu đọc nRDx, ghi nWRx, chọn chip nCSx cho bộ nhớ ngoài 5.

Tuyến địa chỉ A_C(0-15), dữ liệu D_C(0-7) và các tín hiệu đọc nRDc, ghi nWRc, chọn chip nCSc cho bộ nhớ ngoài vi 6.

Theo hình 2, mô tả chi tiết kết nối bên trong mảng cổng khả trình 4 như sau:

Tín hiệu D_X vào cài tám bit 8. Tín hiệu ALE cài địa chỉ thấp AL(0-7).

Địa chỉ tám bit cao trên AH(8-15) và thấp trên AL(0-7) được đưa tới một đầu vào bộ chọn địa chỉ 12.

Cho phép DMA qua mạch đảo 7 tạo thành tín hiệu mở bộ thu phát và ĐK chọn kênh.

Khối điều khiển DMA 9 thực hiện bắt tay giữa mảng cổng khả trình 4 và vi điều khiển tám bit 1 qua hai tín hiệu cho phép DMA và thực hiện DMA. Khối điều khiển DMA 9 đồng bộ với khối đọc/ghi bộ nhớ 11 qua ba tín hiệu đang Đ/G BN ngoài, cho phép truy xuất và đọc xong BN n_vi.

Khối đọc, ghi bộ nhớ 11 phát địa chỉ Addx, A_C, các tín hiệu đọc_nRDx, ghi_WRx, chọn_nCSx, nRDc, nWRc, nCSc, truyền dữ liệu trên D_X và D_C để đọc bộ nhớ ngoài vi 6 ghi ra bộ đệm hay đọc/ghi bộ nhớ ngoài 5 ghi/từ bộ nhớ ngoài vi 6.

Các bộ chọn địa chỉ 12, chọn đọc 13, chọn ghi 14, chọn chip 15 hoạt động trong hai chế độ: bình thường khi ĐK chọn kênh bằng không và đọc/ghi trực tiếp bộ nhớ ngoài khi ĐK chọn kênh bằng một.

Khối đệm ba tt_x 10 đệm ba trạng thái cho tuyến D_X của bộ nhớ ngoài 5. Khối đệm ba tt_c 16 đệm ba trạng thái cho tuyến D_C của bộ nhớ ngoài vi 6.

Hoạt động của hệ thống như sau:

Chế độ bình thường: theo hình 2, vi điều khiển tám bit 1 phát cho phép DMA bằng một qua mạch đảo 7 làm mở bộ thu phát xuống không, mở bộ thu phát tám bit 2, ĐK chọn kênh bằng không nên các bộ chọn địa chỉ 12, chọn đọc 13, chọn ghi 14, chọn chip 15 nối giao tiếp giữa vi điều khiển tám bit 1 với bộ nhớ ngoài 5, quy trình xử lý dữ liệu trên hình 3, các hoạt động trong chế độ này là:

Vi điều khiển tám bit 1 ghi dữ liệu vào bộ nhớ ngoài 5: theo hình 2, vi điều khiển tám bit 1 phát địa chỉ thấp trên A_D và phát tín hiệu ALE, bộ cài tám bit 8 cài địa chỉ trên AL, vi điều khiển tám bit 1 phát địa chỉ cao lên AH cùng AL tới ngõ vào mạch chọn địa chỉ 12 rồi ra A_X, bit không qua chọn chip 15 tới nCSx mở bộ nhớ ngoài 5, vi điều khiển tám bit 1 phát dữ liệu trên A_D qua bộ thu phát tám bit 2 tới D_X, vi điều khiển tám bit 1 phát xung nWR xuống thấp, qua chọn ghi 14, tới nWRx, vi điều khiển tám bit 1 chờ một nhịp rồi kéo nWR lên cao kết thúc chu kỳ ghi một byte dữ liệu.

Vi điều khiển tám bit 1 đọc bộ nhớ ngoài 5: theo hình 2, vi điều khiển tám bit 1 phát địa chỉ trên A_X giống như ghi dữ liệu, vi điều khiển tám bit 1 phát nRD xuống thấp làm cho bộ thu phát tám bit 2 chuyển hướng dữ liệu về vi điều khiển tám bit 1 và qua chọn đọc 13, tới nRDx, bit không qua chọn chip 15 tới nCSx mở bộ nhớ ngoài 5 đưa dữ liệu lên D_X qua bộ thu phát tám bit 2 vào vi điều khiển tám bit 1, vi điều khiển tám bit 1 kéo nRD lên cao để cài dữ liệu và kết thúc chu kỳ đọc một byte dữ liệu.

Mảng công khả trình 4 đọc bộ nhớ ngoài vi 6: theo hình 2, tín hiệu Reset_FPGA thiết lập ban đầu các tham số, tín hiệu đồng hồ clk tạo xung đồng bộ hệ thống, theo hình 3, quy trình đọc bộ nhớ ngoài vi được thiết kế có dạng máy trạng thái hữu hạn (FSM-Finite State Machines). FSM có 6 nhịp, tại mỗi cạnh lên của clk, các nhịp thực hiện tăng từ một lên sáu, nhịp một phát địa chỉ từ bộ đệm ra A_C, gán tín hiệu nCSx, nRDx bằng không 17, nhịp hai dữ liệu được đọc trên D_C_out 18, nhịp ba dữ liệu được ghi vào bộ đệm 19, nhịp bốn không làm gì 20, nhịp năm giảm A_C tạm đi một, gán nRDx bằng một 21, nhịp sáu kiểm tra A_C tạm 22 tới địa chỉ đầu bộ nhớ ngoài vi chưa 23, nếu sai, quay về nhịp một, nếu đúng, kiểm tra cho phép truy xuất bằng không 25, nếu sai, gán A_C tạm bằng địa chỉ cuối bộ nhớ ngoài vi và quay về nhịp một 24, nếu đúng, chuyển sang chế độ đọc, ghi trực tiếp bộ nhớ ngoài 26.

Chế độ mảng công khả trình 4 đọc, ghi trực tiếp bộ nhớ ngoài 5: theo hình 2, vi điều khiển tám bit 1 phát cho phép DMA bằng không, bộ thu phát tám bit 2 đóng, các bộ chọn địa chỉ 12, chọn đọc 13, chọn ghi 14, chọn chip 15 chuyển sang giao tiếp giữa mảng công khả trình 4 với bộ nhớ ngoài 5, quy trình xử lý dữ liệu trên hình 4, 5, 6, các bước trong chế độ này là:

Bắt tay vi điều khiển tám bit 1 với mảng cổng khả trình 4: theo hình 4, vi điều khiển tám bit 1 gán cho phép DMA bằng không 27 và chờ thực hiện DMA bằng không 28, theo hình 5, khối điều khiển DMA phát hiện cho phép DMA bằng không 31 thì chờ đọc xong BN n_vi lên một 32 sẽ phát thực hiện DMA bằng không và cho phép truy xuất bằng không 33 rồi vào vòng lặp chờ tín hiệu đang Đ/G BN ngoài bằng một 34, theo hình 4, vi điều khiển tám bit phát hiện thực hiện DMA bằng không 28 nên vào vòng lặp chờ thực hiện DMA bằng một 29.

Mảng cổng khả trình 4 đọc/ghi bộ nhớ ngoài 5 ghi/từ bộ nhớ ngoài vi 6: theo hình 6, quy trình xử lý dữ liệu truy xuất bộ nhớ thực hiện theo thứ tự từ nhịp một đến nhịp sáu, nhịp một phát địa chỉ ra A_X/A_C, phát tín hiệu đọc_nRDx/nRDc bằng không 36, nhịp hai phát địa chỉ ra A_C/A_X 37, nhịp ba đưa dữ liệu từ D_X_out/D_C_out vào D_C_in/D_X_in 38, nhịp bốn giảm địa chỉ A_X_tạm, A_C_tạm đi một 39, nhịp năm phát tín hiệu nWRc/ghi_nWRx bằng không 40, nhịp sáu trả nWRc/ghi_nWRx bằng một, kiểm tra địa chỉ A_C_tạm của bộ nhớ ngoài 41 tới địa chỉ đầu bộ nhớ ngoài chưa 42, nếu sai quay về nhịp một, nếu đúng, phát đang Đ/G BN ngoài bằng một, gán A_X_tạm về địa chỉ cuối bộ nhớ ngoài 43.

Trở về chế độ bình thường: theo hình 5, điều khiển DMA kiểm tra thấy đang Đ/G BN ngoài bằng một 34 thì phát thực hiện DMA bằng một để kết thúc đọc, ghi trực tiếp bộ nhớ ngoài và phát cho phép truy xuất bằng một để khối đọc/ghi bộ nhớ về chế độ bình thường 35, theo hình 4, vi điều khiển tám bit 1 thấy thực hiện DMA bằng một 29 sẽ thoát khỏi vòng lặp và gán cho phép DMA bằng một để về chế độ bình thường 30.

YÊU CẦU BẢO HỘ

1. Phương pháp điều khiển đọc, ghi trực tiếp bộ nhớ ngoài của vi điều khiển tám bit bằng mảng cổng khả trình, trong đó mảng cổng khả trình có tám chân nhập nối với tám chân địa chỉ cao AH, ba chân nhập nối với các tín hiệu cho phép chốt địa chỉ ALE, tín hiệu đọc bộ nhớ nRD và tín hiệu ghi bộ nhớ nWR, hai chân nhập nối với tín hiệu thiết lập lại mảng cổng khả trình Reset_FPGA và tín hiệu cho phép truy cập trực tiếp bộ nhớ ngoài cho phép DMA, một chân xuất thực hiện DMA nối với một chân nhập của vi điều khiển, tín hiệu đồng hồ clk đưa tới mạch dao động của mảng cổng khả trình, tuyến ghép kênh địa chỉ dữ liệu tám bit hai chiều A_D của vi điều khiển được nối tới một đầu của bộ thu phát tám bit, đầu kia là tuyến D_X nối tới tám chân xuất, nhập hai chiều của mảng cổng khả trình và tám bit dữ liệu hai chiều của bộ nhớ ngoài, chân thu/phát DIR của bộ thu phát tám bit nối với chân nRD của vi điều khiển, chân cho phép bộ thu phát tám bit hoạt động nG nối với ngõ xuất mở bộ thu phát của mảng cổng khả trình, bộ nhớ ngoài nhận ba tín hiệu xuất đọc bộ nhớ ngoài nRDx, ghi bộ nhớ ngoài nWRx và chọn chip bộ nhớ ngoài nCSx và mười sáu bit địa chỉ A_X từ mảng cổng khả trình, bộ nhớ ngoài vi kết nối tám bit dữ liệu hai chiều D_C, ba tín hiệu xuất đọc bộ nhớ ngoài vi nRDc, ghi bộ nhớ ngoài vi nWRc và chọn chip bộ nhớ ngoài vi nCSc và mười sáu bit địa chỉ A_C từ mảng cổng khả trình;
 bên trong mảng cổng khả trình có khối cài tám bit nối đầu nhập với D_X, đầu ra xuất tám bit địa chỉ thấp AL khi ALE tích cực và kết hợp với tám bit AH đưa tới một đầu vào của bộ chọn địa chỉ, khối đệm ba tt_x được điều khiển bởi tín hiệu ghi_nRDx có một đầu hai chiều nối với D_X, một đầu nhập tám bit dữ liệu D_X_in và một đầu xuất tám bit dữ liệu D_X_out tới khối đọc/ghi bộ nhớ, tín hiệu cho phép DMA qua mạch đảo thành tín hiệu mở bộ thu phát, nối với chân nG của bộ thu phát tám bit và là tín hiệu ĐK chọn kênh tới các khối chọn địa chỉ, chọn đọc, chọn ghi và chọn chip, khối điều khiển DMA nhận tín hiệu cho phép DMA và xuất tín hiệu thực hiện DMA tới vi điều khiển, khối điều khiển DMA xuất tín hiệu cho phép truy xuất và nhận các tín hiệu đang Đ/G BN ngoài và tín hiệu đọc xong BN n_vi từ khối đọc/ghi bộ nhớ, khối đọc/ghi bộ nhớ

xuất địa chỉ mười sáu bit Addx tới một đầu khối chọn địa chỉ, xuất tín hiệu đọc_nRDx tới một đầu khối chọn đọc, tín hiệu ghi_nWRx tới một đầu khối chọn ghi, tín hiệu chọn_nCSx tới một đầu bộ chọn chip, mười sáu bit địa chỉ AH, AL của vi điều khiển tới một đầu vào của bộ chọn địa chỉ và xuất mười sáu bit A_X tới tuyến địa chỉ bộ nhớ ngoài, tín hiệu nRD tới một đầu bộ chọn đọc và xuất nRDx tới chân nOE của bộ nhớ ngoài, tín hiệu nWR tới một đầu bộ chọn ghi và xuất nWRx tới chân nWE của bộ nhớ ngoài, mức logic không nối tới một đầu khối chọn chip và xuất nCSx tới chân nCE của bộ nhớ ngoài, D_X đưa tới tuyến dữ liệu hai chiều DQ của bộ nhớ ngoài, khối đọc/ghi bộ nhớ xuất mười sáu bit địa chỉ A_C tới bộ nhớ ngoài vi, xuất ba tín hiệu đọc nRDc, ghi nWRc, chọn chip nCSc tới bộ nhớ ngoài vi, khối đệm ba tt_c được điều khiển bởi nWRc nối tám bit hai chiều với tuyến dữ liệu D_C của bộ nhớ ngoài vi, xuất tám bit D_C_out tới và nhập tám bit D_C_in từ khối đọc/ghi bộ nhớ;

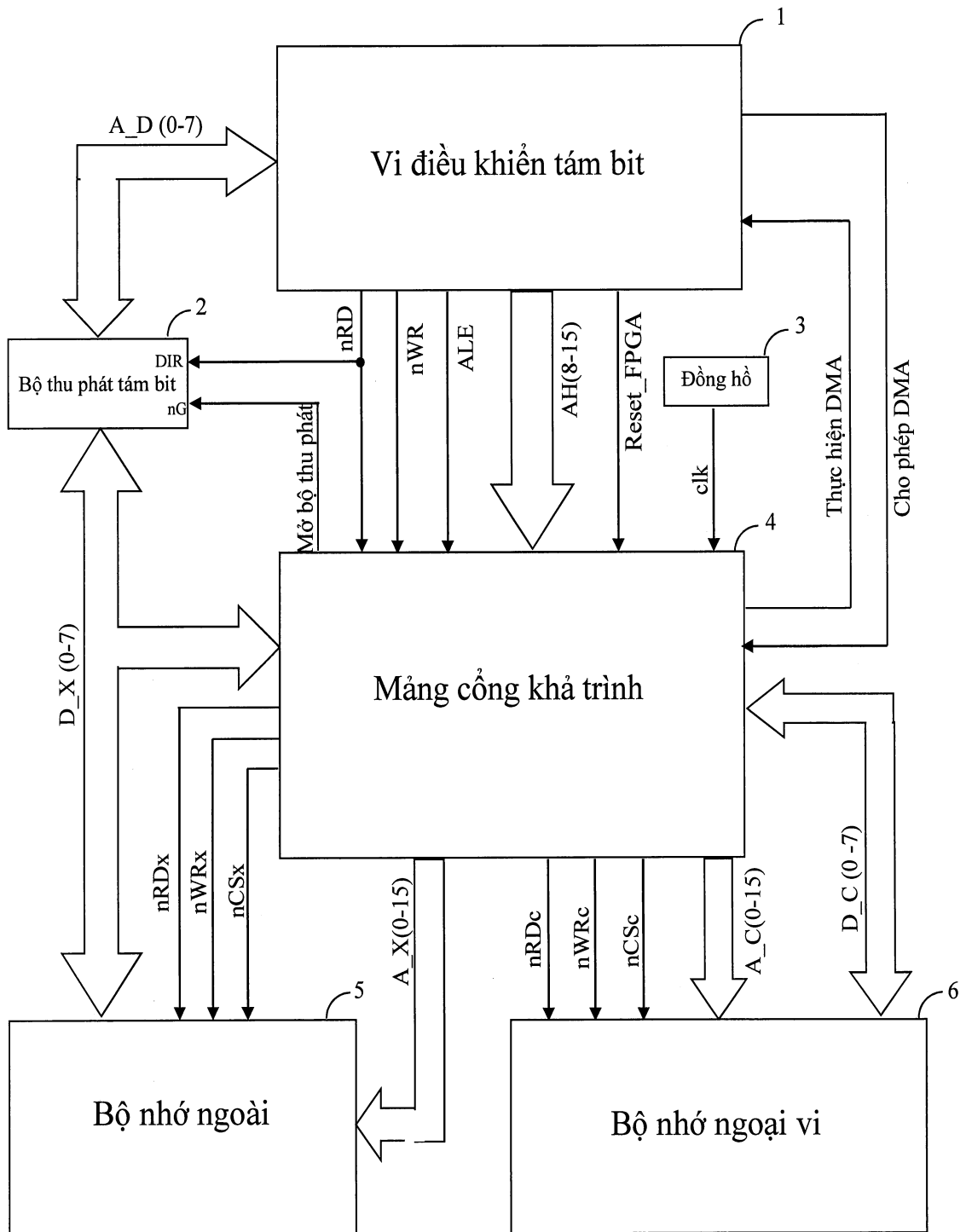
phương pháp này bao gồm các bước:

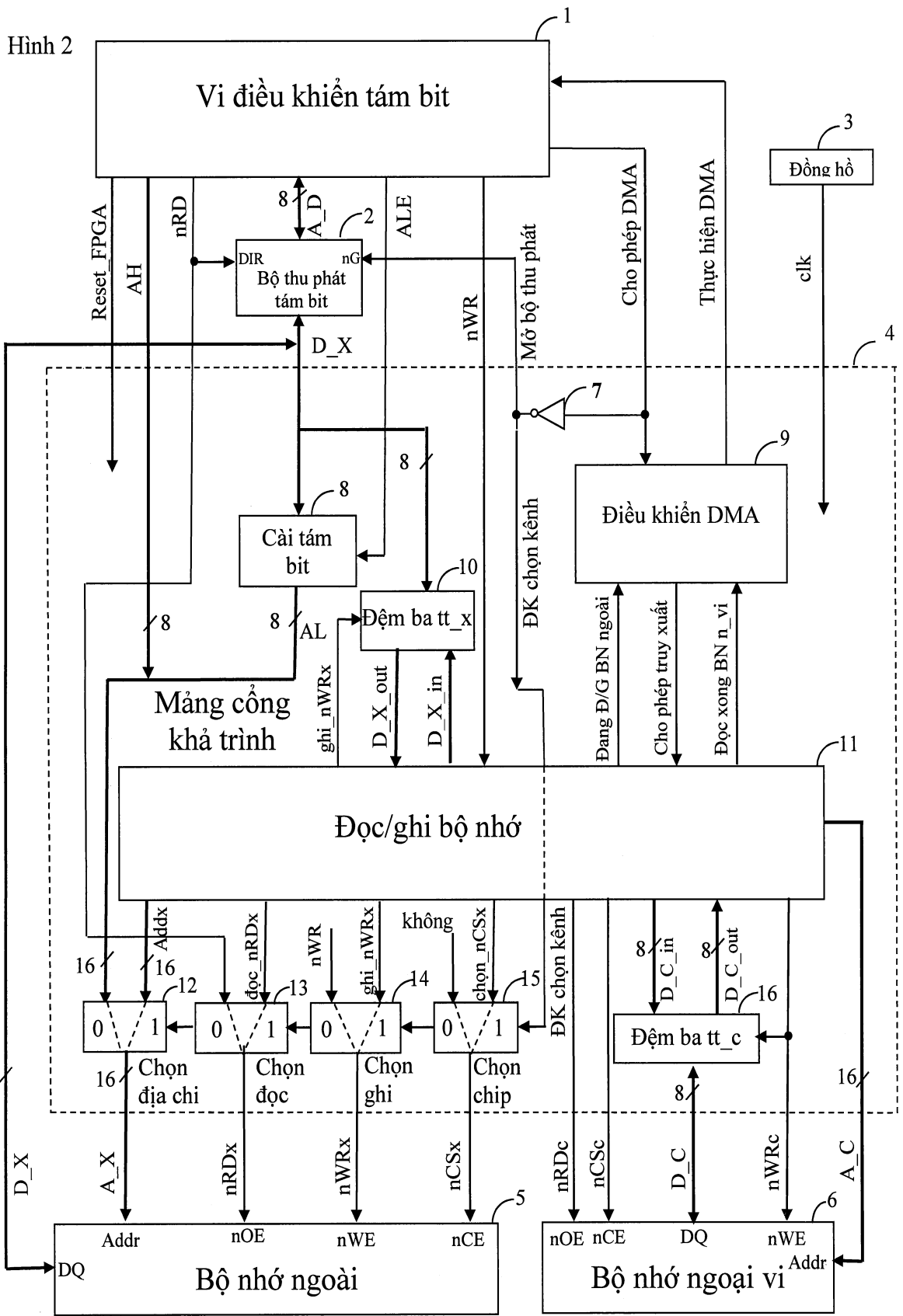
phát, bởi vi điều khiển tám bit, tín hiệu cho phép DMA bằng không để mảng công khả trình có thể đọc bộ nhớ ngoài ghi vào bộ nhớ ngoài vi hay ghi vào bộ nhớ ngoài từ bộ nhớ ngoài vi, sau khi đọc xong bộ nhớ ngoài vi, khối đọc/ghi bộ nhớ ngoài phát đọc xong BN n_vi lên một, khối điều khiển DMA nhận đủ hai điều kiện trên sẽ phát thực hiện DMA bằng không, thông báo cho vi điều khiển tám bit và phát cho phép truy xuất bằng không để khối đọc/ghi bộ nhớ phát tín hiệu đang Đ/G BN ngoài bằng không để trả lời và bắt đầu truy xuất bộ nhớ ngoài;

phát, bởi mạch đảo, tín hiệu ĐK chọn kênh mức một cho phép khối đọc/ghi bộ nhớ truy cập bộ nhớ ngoài theo từng byte và chia thành sáu nhịp, nhịp một khối đọc/ghi bộ nhớ phát địa chỉ ra A_X/A_C, phát tín hiệu nRDx/nRDc bằng không, nhịp hai phát địa chỉ ra A_C/A_X, nhịp ba đưa dữ liệu từ D_X_out/D_C_out vào D_C_in/D_X_in, nhịp bốn giảm địa chỉ A_X_tạm, A_C_tạm đi một, nhịp năm phát tín hiệu ghi bộ nhớ nWRc/nWRx bằng không, nhịp sáu kéo tín hiệu nWRc/nWRx bằng một, kiểm tra đệm địa chỉ bộ nhớ ngoài A_C_tạm nhỏ nhất chưa, nếu sai quay về nhịp một, nếu đúng, phát tín hiệu đang Đ/G BN ngoài bằng một để kết thúc đọc/ghi tối đa sáu mươi bốn Kbyte bộ nhớ ngoài;

khối điều khiển DMA phát hiện tín hiệu đang Đ/G BN ngoài bằng một số kéo tín hiệu cho phép truy xuất lên một đế bộ đọc/ghi bộ nhớ về chế độ bình thường, kéo tín hiệu thực hiện DMA lên một báo cho vi điều khiển tám bit gán tín hiệu cho phép DMA bằng một đế kết thúc chế độ mảng công khả trình đọc/ghi trực tiếp bộ nhớ ngoài.

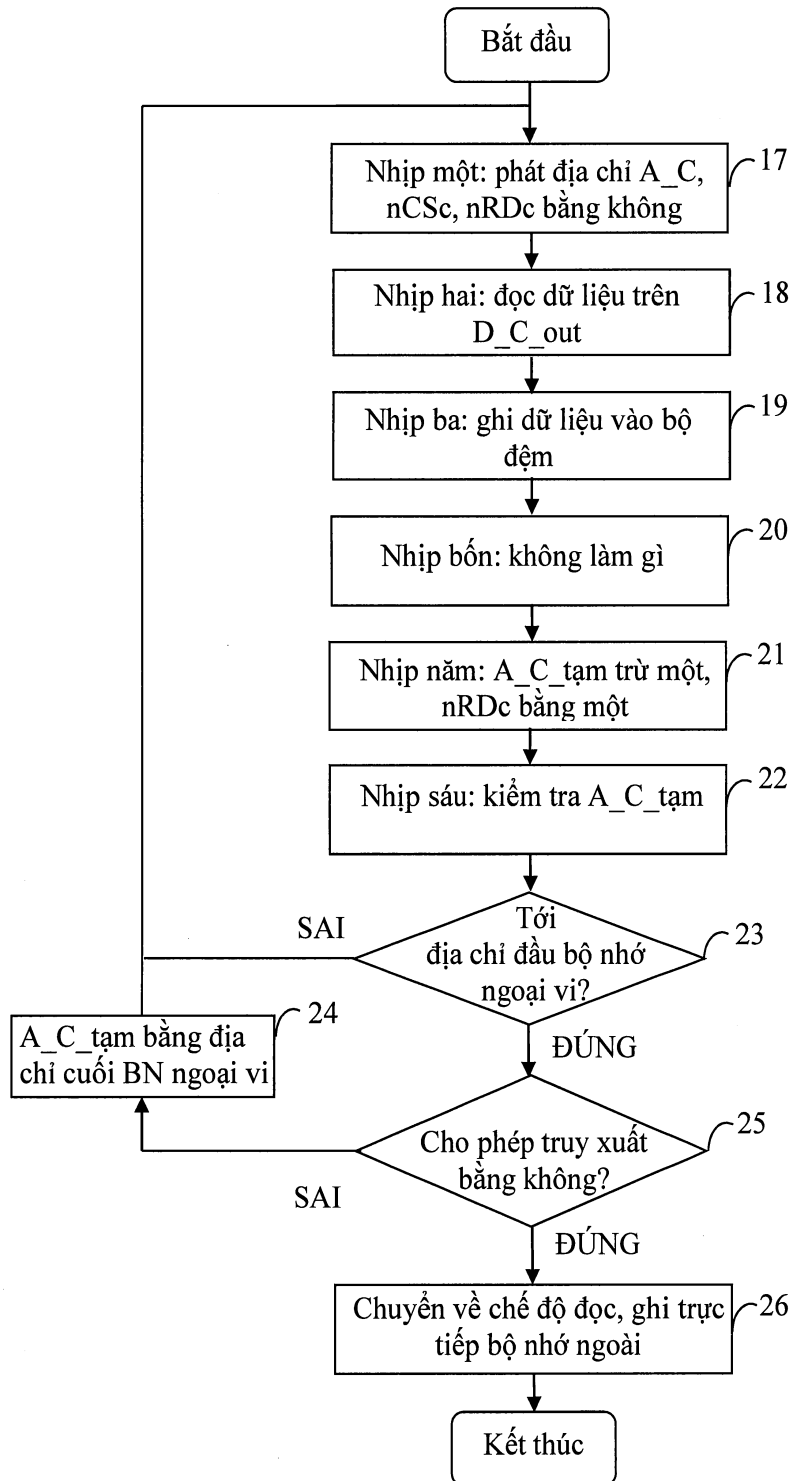
Hình 1



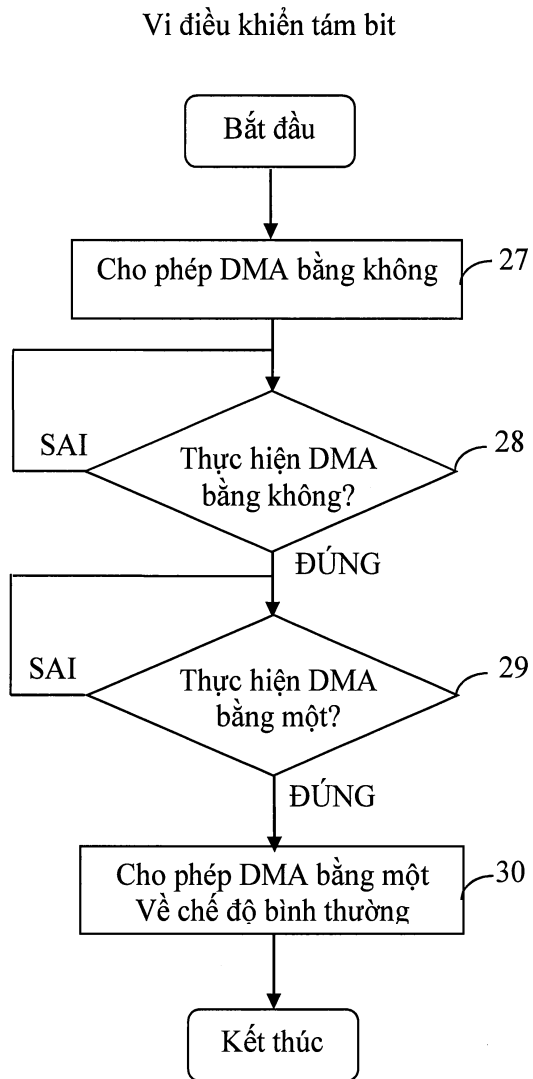


Hình 3

Đọc/ghi bộ nhớ:
chế độ bình thường

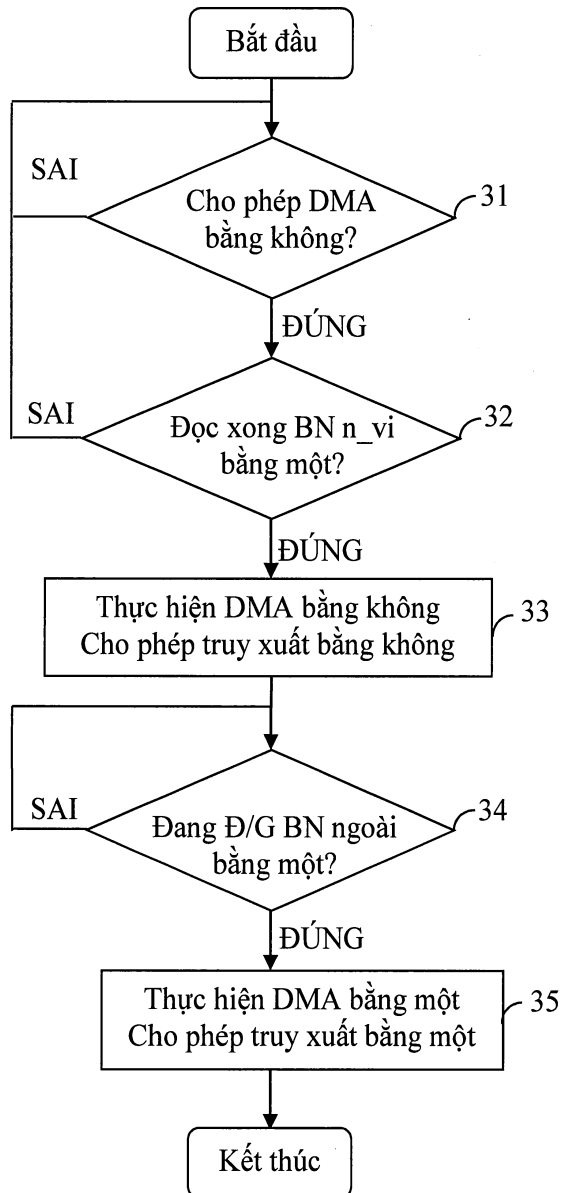


Hình 4



Hình 5

Điều khiển DMA



Hình 6

Đọc/ghi bộ nhớ:
chế độ đọc, ghi trực tiếp bộ nhớ ngoài

